

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 100 57 026.7

Anmeldetag: 17. November 2000

Anmelder/Inhaber: Siemens Aktiengesellschaft,
München/DE

Bezeichnung: Einrichtung und Verfahren zur digitalen Erzeugung
von äquidistanten synchronen frequenzvervielfach-
ten Takten

IPC: H 04 L, G 06 F

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 05. Juli 2001
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Nietiedt **CERTIFIED COPY OF
PRIORITY DOCUMENT**

Beschreibung

Einrichtung und Verfahren zur digitalen Erzeugung von äquidistanten synchronen frequenzvervielfachten Takten

5

Die vorliegende Erfindung bezieht sich auf ein Synchronisierungsverfahren für eine Empfangseinheit, wobei der Empfangseinheit von einer Sendeeinheit zyklisch ausgesandte Synchronisationssignale übermittelt werden, wobei die Empfangseinheit die Synchronisationssignale einem Taktgeber über einen Phasenregler einer phasenverriegelten Schleife zuführt, wobei der Taktgeber zwischen zwei Synchronisationssignalen eine Anzahl von untergeordneten Taktsignalen ausgibt, wobei der Phasenregler beim Empfang der Synchronisationssignale momentane Phasenfehler ermittelt und den Taktgeber anhand eines Phasenregelwertes derart nachregelt, dass der Taktgeber zwischen zwei Synchronisationssignalen eine Sollanzahl von untergeordneten Taktsignalen synchron ausgibt, sowie eine hiermit korrespondierende Empfangseinheit und ein korrespondierendes Kommunikationssystem.

20

Derartige Synchronisierungsverfahren und die korrespondierenden Empfangseinheiten sind allgemein bekannt. Sie werden unter anderem in Feldbussystemen, z.B. dem PROFIBUS, eingesetzt. Solche Feldbussysteme sind verteilte Steuerungssysteme, die in der Regel eine Sendeeinheit (Kopfbaugruppe, Busmaster) und eine Vielzahl von Empfangseinheiten (Slaves) aufweisen. Die Ansteuerung der einzelnen Slavebaugruppen geschieht in der Regel dadurch, dass die Sendeeinheit den Empfangseinheiten ein Befehlstelegramm übermittelt. Bei Empfang des Befehlstelegramms geben die Empfangseinheiten Sollwerte an eine gesteuerte technische Anlage aus, die ihnen zuvor von der Sendeeinheit übermittelt worden sind. Gleichzeitig lesen sie Istwerte von der gesteuerten technischen Anlage ein, welche sie nachfolgend an die Sendeeinheit übermitteln. Die Sendeeinheit errechnet dann neue Sollwerte, die sie den einzelnen

25

30

35

Empfangseinheiten übermittelt, so dass diese für das nächste Befehlstelegramm bereit sind.

Die Befehlstelegramme werden von der Sendeeinheit zeitlich
5 äquidistant gesendet. Aus den Befehlstelegrammen sind daher Synchronisationssignale ableitbar, mittels derer die Empfangseinheiten mit der Sendeeinheit synchronisierbar sind.

In der Praxis verbleibt zwischen dem Übermitteln der einge-
10 lesenen Istwerte an die Sendeeinheit und dem Übermitteln der Sollwerte an die Empfangseinheiten einerseits und dem Übermitteln des nächsten Befehlstelegramms andererseits ein zeitlicher Spielraum. Dieser wird in der Regel für sogenannte azyklische Telegramme genutzt. Hierbei kann es geschehen,
15 dass aufgrund von Verzögerungen durch die azyklischen Telegramme einzelne Befehlstelegramme verspätet gesendet werden. Der Empfang derart verspätet gesendeter Befehlstelegramme bewirkt eine fehlerhafte Nachsynchronisation der Empfangseinheiten. Bei vielen Anwendungen ist diese fehlerhafte
20 Nachsynchronisation unkritisch.

Bei zeitkritischen Anwendungen hingegen, insbesondere bei der Kopplung interpolierender Antriebsachsen, ist eine derartige fehlerhafte Nachsynchronisation nicht tolerierbar. Zu deren
25 Vermeidung ist daher der eingangs beschriebene Phasenregler vorgeschlagen worden. Um eine hinreichende Genauigkeit der Synchronisierung mit der Sendeeinheit zu erreichen, ist vorgeschlagen worden, dass der Phasenregler ein PI-Regler ist (vgl. dazu die deutsche Patentanmeldung DE 19932635.5).

30 Der Phasenregler der phasenverriegelten Schleife (PLL) generiert im wesentlichen aus einem beispielsweise über das Feldbussystem empfangenen Synchronisationssignal, welches mit Störungen behaftet ist, ein stabiles Taktsignal.

In der vorliegenden Erfindung kommt in diesem Zusammenhang insbesondere der Tatsache Bedeutung zu, dass die Periodendauer des Taktsignals auf dem Feldebussystem auf Grund von Quarzdriften von der aus Sicht der PLL erwarteten Periodendauer des Taktsignals abweicht. Die PLL muss daher ständig ihre eigenen erzeugten Takte mit Korrekturen versehen, damit sie synchron zu dem Synchronisationssignal der Sendeeinheit bleibt.

Das Synchronisationssignal wird außerdem mittels der PLL in eine feste Anzahl von höherfrequenten untergeordneten Takten unterteilt. Diese untergeordneten Takte werden mit einer eingestellten Periodendauer erzeugt. Um jedoch eine Synchronität dieser untergeordneten Takte zum übergeordneten Synchronisationssignal sicherzustellen, wird die von der PLL ermittelte Korrektur, die im wesentlichen durch die Auswirkungen der Quarzdriften bestimmt wird, herkömmlicherweise der Einfachheit halber vollständig in dem ersten dieser untergeordneten Takte je Synchronisationssignal korrigiert. Daraus ergibt sich ein pulsierendes Taktmuster bei den untergeordneten Taktsignalen.

Ein Beispiel für diese herkömmliche Vorgehensweise ist in FIG 4 anhand eines Zeitdiagramms gezeigt, in dem über die Zeit t das Synchronisationssignal S und das untergeordnete Taktsignal u aufgetragen sind. Das Synchronisationssignal S ist in diesem Fall länger als von der PLL erwartet. Das untergeordnete Taktsignal u wird mit einer vielfachen Frequenz n erzeugt, woraus Intervalle a resultieren. Dabei beschreibt a die nominelle Periode der untergeordneten Taktsignale u . Nur das erste Intervall a der im Beispiel n untergeordneten Taktsignale wird entsprechend um einen notwendigen Korrekturwert Δt des Phasenreglers verlängert. In diesem Fall gilt: $\Delta t > 0$.

In FIG 5, welche den gleichen prinzipiellen Aufbau besitzt, ist der Fall gezeigt, wenn das Synchronisationssignal S kürzer ist als von der PLL erwartet. Dann wird nur das erste In-

tervall a der im Beispiel n untergeordneten Taktsignale u entsprechend um einen notwendigen Korrekturwert A_2 des Phasenreglers verkürzt. In diesem Fall gilt: $A_2 < 0$.

5 Bei zeitkritischen Anwendungen hingegen, insbesondere bei der
Kopplung bereits erwähnten interpolierender Antriebsachsen,
ist dieses Resultat mit pulsierenden Taktmustern kritisch.
Die Genauigkeit bzw. Präzision von zueinander interpolieren-
den und synchron betriebenen Achsen, z.B. in numerisch ge-
10 steuerten Werkzeugmaschinen oder Robotern, hängt von der Ge-
nauigkeit der erzeugten Takte ab.

Um hier die höchstmögliche Genauigkeit zu erzielen, ist es
notwendig, dass die untergeordneten Taktsignale u genauso wie
15 die Synchronisationssignale S zueinander äquidistant sind.
Ein solcher vorteilhaftes Resultat ist anhand der FIG 6 ge-
zeigt, welche die gleichen Signale darstellt, die in FIG 4
und 5 gezeigt sind, nunmehr jedoch mit äquidistanten Inter-
vallen a^* , welche von der nominellen Periodendauer a in der
20 Regel abweichen.

In vielen Anwendungsfällen stellen die untergeordneten Takt-
signale z.B. den Stromreglertakt von Antrieben dar. Äquidis-
tante Takte wirken sich dabei unmittelbar auf die „Laufruhe“
25 der Antriebe aus.

Aufgabe der vorliegenden Erfindung ist es daher, ein Synchron-
isierverfahren der eingangs beschriebenen Art so weiterzubil-
den, dass Empfangseinheiten äquidistante untergeordnete Takte
30 generieren können.

Gemäß der vorliegenden Erfindung wird diese Aufgabe gelöst,
indem das eingangs beschriebene Synchronisierverfahren erwei-
tert wird, indem
35 - der Phasenregler den Taktgeber so nachregelt, dass die vom
Taktgeber zwischen zwei Synchronisationssignalen erzeugten

untergeordneten Taktsignale im wesentlichen äquidistant zueinander sind, indem

- der ermittelte momentane Phasenregelwert nahezu gleichmäßig auf die untergeordneten Taktsignale verteilt wird, wobei
- ein jeweiliger Korrekturwert für jedes untergeordnete Taktsignal durch Division des momentanen Phasenregelwertes durch die Sollanzahl von untergeordneten Taktsignalen ermittelt wird.

Die Erfindung löst das angegebene technische Problem somit durch eine exakte Gleichverteilung des von der PLL ermittelten Phasenregelwertes auf die untergeordneten Taktsignale, d.h. dass der Phasenregelwert durch die Anzahl der untergeordneten Taktsignale dividiert wird.

Dabei hat es sich für eine Hardware-Realisierung als besonders vorteilhaft herausgestellt, wenn die Division durch eine sukzessive Addition erfolgt, wobei gezählt wird, wie oft die Sollanzahl von untergeordneten Taktsignalen als Divisor in den momentanen Phasenregelwert als Dividend passt. Dadurch wird ein äußerst effektives zeitliches Verhalten der Synchronisierung erreicht.

Anders als bei einer Software-Realisierung, wo eine Division einfacher und genauer durchgeführt werden kann und Rundungsergebnisse gleichmäßig auf die verfügbaren Takte verteilt und abgearbeitet werden können (z.B. in einem Feld/Array), ist dies bei einer Hardwarelösung (z.B. mit einem anwendungsspezifischen integrierten Schaltkreis ASIC) nicht ohne weiteres möglich. Bei einer Hardwarelösung stellt sich nämlich das Problem, dass grundsätzlich die Dauer des Zählens von der durchzuführenden Division abhängt und damit in zeitlichen Konflikt mit den gleichzeitig, d.h. zeitlich parallel zu erzeugenden untergeordneten Taktsignalen kommen kann, wenn die Division nicht rechtzeitig abgeschlossen wird.

Durch die beschriebene Art der Division nach der Erfindung ist dies jedoch ausgeschlossen, da die Division nur dann besonders viele Rechentakts benötigt, wenn die Korrektur bei den untergeordneten Taktsignalen erst sehr spät erfolgen muss. Eine Hardwarelösung besitzt zudem Vorteile gegenüber einer Softwarelösung, weil in der Regel untergeordnete Taktsignale mit sehr kurzen Zeiten im Bereich von z.B. 125 μ s, 62,5 μ s, 31,25 μ s zu erzeugen sind, was eine sehr hochprioräre Softwaretask erfordert, die sich mit Hardwarebelangen (Takterzeugung) auseinandersetzen muss. Dies ist ungünstig, weshalb eine Hardwarelösung zu bevorzugen ist.

Um ein möglichst gleichmäßiges Taktmuster der untergeordneten Taktsignale zu erreichen, empfiehlt es sich, eventuelle Divisionsreste ebenfalls nahezu gleichmäßig auf die untergeordneten Taktsignale zu verteilen.

Dies lässt sich auf besonders effektive Weise realisieren, indem die Division bis zur ersten Nachkommastelle durchgeführt wird und das Ergebnis auf einen ganzzahligen Korrekturwert gerundet wird.

Dabei hat es sich als besonders günstig erwiesen, wenn

- die Division durch sukzessive Addition um ein Bit verschoben durchgeführt wird, indem eine Multiplikation mit dem Wert Zwei erfolgt, und
- anhand des Ergebnisses entschieden wird, ob aufgerundet oder abgerundet wird, indem
- die letzte den Dividend eventuell überschreitende Addition ohne Verschiebung um ein Bit wiederholt wird und
- bei Überschreitung des Dividenden der ermittelte Wert abgerundet wird oder andernfalls aufgerundet wird.

Nach einer weiteren vorteilhaften Ausgestaltung des Synchronisierverfahrens nach der Erfindung wird zwischen zwei Synchronisationssignalen nach jedem erzeugten untergeordneten Takt für den nächsten zu erzeugenden untergeordneten Takt die

Division mit dem um den vorherigen Korrekturwert verminderten Phasenkorrekturwert als Dividend und die um den Wert eins verminderte Anzahl von untergeordneten Takten als Divisor durchgeführt.

5

Besonders effektiv lässt sich die phasenverriegelte Schleife dabei realisieren, indem der Phasenregler die momentanen Phasenfehler zu einem Integrationswert aufintegriert, wobei ein Integrationsbruchteil kleiner als eins ist, und der Integrationswert zur Erzeugung von Phasenregelwerten als Dividend dient.

10

Um eine möglichst schnelle Ausregelung eines Phasenfehlers zu erreichen, kann erfindungsgemäß der Phasenregler die momentanen Phasenfehler zu einem Proportionalwert ausregeln, wobei ein Proportionalbruchteil kleiner als eins ist, und der Proportionalwert ebenfalls zur Erzeugung von Phasenregelwerten als Dividend dient.

15

Dies gilt vor allem dann, wenn der Proportionalbruchteil größer als der Integrationsbruchteil ist.

20

Indem innerhalb des Taktgebers ein Taktgenerator Primärtaktsignale erzeugt, die einem Frequenzteiler zugeführt werden, der ausgangsseitig heruntergeteilte Primärtaktsignale als untergeordnete Taktsignale ausgibt, kann darüber hinaus erreicht werden, dass alle zwischen dem Taktgeber und dem Taktsignalzähler angeordneten Komponenten ebenfalls phasenrichtig synchronisiert werden.

25

Besonders vorteilhaft lässt sich die Erfindung damit in Form einer Erzeugung von untergeordneten Taktsignalen und einer nahezu gleichmäßigen Verteilung eines momentanen Phasenregelwertes auf die untergeordneten Taktsignale in Echtzeit realisieren.

30

35

Gemäß der Erfindung wird die eingangs gestellte Aufgabe auch mit einer Empfangseinheit sowie mit einem Kommunikationssystem mit mindestens einer Sendeeinheit und einer Mehrzahl von solchen Empfangseinheiten zur Durchführung eines Synchronisierverfahrens nach der vorangehend beschriebenen Art gelöst.

Weitere Vorteile und Details der Erfindung ergeben sich aus der nachfolgenden Beschreibung eines vorteilhaften Ausführungsbeispiels und in Verbindung mit den Figuren. Dabei sind Elemente mit gleicher Funktionalität mit den gleichen Bezugszeichen gekennzeichnet. Es zeigen in Prinzipdarstellung:

- FIG 1 ein verteiltes Steuerungssystem,
- FIG 2 eine Empfangseinheit,
- 15 FIG 3 eine phasenverriegelte Schleife mit digitaler Erzeugung von äquidistanten synchronen frequenzvervielfachten Takten,
- FIG 4 ein Zeitdiagramm mit herkömmlicher synchroner Taktgenerierung mit längerem Synchronisationssignal als von der PLL erwartet,
- 20 FIG 5 ein Zeitdiagramm mit herkömmlicher synchroner Taktgenerierung mit kürzerem Synchronisationssignal als von der PLL erwartet,
- FIG 6 ein Zeitdiagramm der gewünschten äquidistanten synchronen Taktgenerierung,
- 25 FIG 7 ein Blockschaltbild des Taktgenerators aus FIG 3 mit erfindungsgemäßer Divisionsbildung,
- FIG 8 ein Zeitdiagramm mit erfindungsgemäßigem zeitlichen Verhalten für eine äquidistante synchrone Taktgenerierung mit längerem Synchronisationssignal als von der PLL erwartet,
- 30 FIG 9 ein Zeitdiagramm mit erfindungsgemäßigem zeitlichen Verhalten für eine äquidistante synchrone Taktgenerierung mit kürzerem Synchronisationssignal als von der PLL erwartet,
- 35

FIG 10 ein erstes Beispiel des zeitlichen Ablaufs bei Realisierung der Divisionsbildung durch sukzessive Addition,

FIG 11 ein zweites Beispiel des zeitlichen Ablaufs bei Realisierung der Divisionsbildung durch sukzessive Addition und

FIG 12 ein Blockschaltbild einer technischen Realisierung der Divisionsbildung nach der Erfindung.

10

Gemäß FIG 1 weist ein verteiltes Steuerungssystem eine Sendeeinheit 1 und Empfangseinheiten 2 auf, die über ein Bussystem 3 miteinander verbunden sind. Die Sendeeinheit 1 sendet zyklisch Telegramme an die Empfangseinheiten 2, welche entsprechend auf die empfangenen Telegramme reagieren. Beispielsweise lesen die Empfangseinheiten 2 von einer gesteuerten technischen Anlage bzw. Applikation 4 Eingangsgrößen ein und geben Ausgangsgrößen an die technische Anlage bzw. Applikation 4 aus. Dies ist in FIG 1 durch die Pfeile zwischen den Empfangseinheiten 2 und der technischen Anlage/Applikation 4 angedeutet.

20

Die Kommunikation zwischen der Sendeeinheit 1 und den Empfangseinheiten 2 erfolgt in der Regel nach folgendem, zyklisch abgearbeiteten Schema:

25

Zunächst übermittelt die Sendeeinheit 1 den Empfangseinheiten 2 Ausgangsgrößen, die an die technische Anlage/Applikation 4 ausgegeben werden sollen. Dann übermittelt sie ein Befehlstelegramm an die Empfangseinheiten 2. Bei Übermittlung des Befehlstelegramms geben die Empfangseinheiten 2 die Ausgangsgrößen an die technische Anlage 4 aus und lesen Eingangsgrößen von der technischen Anlage 4 ein. Sodann werden die eingelesenen Eingangsgrößen von der Sendeeinheit 1 abgefragt.

30

35

Im Idealfall wird das obenstehende Schema streng zyklisch und zeitlich streng äquidistant abgearbeitet. Insbesondere die

Befehlstelegramme können daher als Synchronisationssignale S verwendet werden bzw. aus den Befehlstelegrammen Synchronisationssignale S abgeleitet werden. Mittels der Synchronisationssignale S können sich dann die Empfangseinheiten 2 mit der
5 Sendeeinheit 1 synchronisieren.

Die von den Empfangseinheiten 2 empfangenen Synchronisationssignale werden gemäß FIG 2 und 3 über einen Busanschlussbaustein 2' einem Phasenregler 5 einer phasenverriegelten
10 Schleife 6 zugeführt. Die phasenverriegelte Schleife 6 weist einen Taktgeber 7 auf. Innerhalb des Taktgebers 7 erzeugt ein Taktgenerator 8 Primärtaktsignale p, die einem Frequenzteiler 9 zugeführt werden. Ausgangsseitig gibt der Frequenzteiler 9 die heruntergeteilten Primärtaktsignale als untergeordnete
15 Taktsignale u aus. Die Taktsignale werden einem Taktsignalzähler 10 zugeführt, welcher dann ein Signal Z erzeugt.

Bei idealer Regelung des Frequenzteilers 9 gibt der Taktgeber 7 zwischen zwei Synchronisationssignalen S exakt eine Sollanzahl n von Taktsignalen aus, so dass Z und das Synchronisationssignal S synchron sind. In der Regel gibt der Taktgeber 7 aber eine Anzahl n von untergeordneten Taktsignalen u aus, so dass das Signal Z gegenüber dem Synchronisationssignal S einen Phasenfehler aufweist. Der Phasenregler 5 ermittelt daher beim Empfang der Synchronisationssignale S und Z den momentanen Phasenfehler z und regelt dann den Taktgeber 7 derart nach, dass er zwischen zwei Synchronisationssignalen S die Sollanzahl n von untergeordneten Taktsignalen u synchron ausgibt, d.h. so dass Z und S synchron werden. Dies geschieht
25 wie folgt:

Vor Beginn der Synchronisation, also vor der Ermittlung des ersten momentanen Phasenfehlers z, wird zunächst von einer Steuereinheit 11 einer Ansteuereinheit 12 ein Startsignal
35 vorgegeben. Diese steuert daraufhin den Taktgenerator 8 des Taktgebers 7 an. Wenn der Taktsignalzähler 10 die Sollanzahl n von Taktsignalen gezählt hat, übermittelt der Taktsignal-

zähler 10 ein Signal an die Ansteuereinheit 12. Diese hält daraufhin den Taktgenerator 8 wieder an. Die phasenverriegelte Schleife 6 ist dadurch sozusagen „vorgespannt“. Beim Empfang des nächsten Synchronisationssignals S, das ebenfalls an die Ansteuereinheit 12 übermittelt wird, startet diese dann den Taktgenerator 8 wieder. Dadurch wird der Taktsignalzähler 10 neu hochgezählt.

Das Erreichen der Sollanzahl n sowie das Eintreffen des nächsten Synchronisationssignals S wird an einen Primärtaktzähler 13 gemeldet. Beim Eintreffen des ersten dieser beiden Signale wird der Primärtaktzähler 13 gestartet, beim Eintreffen des zweiten der beiden Signale gestoppt. Der (vorzeichenbehaftete) Zählerstand des Primärtaktzählers 13 ist somit ein direktes Maß für den Fehler zwischen der Taktung des Taktgebers 7 bzw. dem Signal Z und der Periodizität der Synchronisationssignale S.

Beim Empfang des ersten Synchronisationssignals S nach dem Wiederstarten des Taktgebers 7 wird der Zählerstand des Primärtaktzählers 13 an die Steuereinheit 11 übermittelt. Diese errechnet daraus einen Korrekturwert für die Ansteuerung des Frequenzteilers 9 und gibt diesen Korrekturwert direkt dem Phasenregler 5 vor. Dadurch wird der beim ersten Synchronisationszyklus detektierte momentane Phasenfehler z zumindest im wesentlichen ausgeglichen.

In den weiteren Synchronisationszyklen wird der Primärtaktzähler 13 stets in Abhängigkeit vom Synchronisationssignal S und dem Erreichen der Sollanzahl n (d.h. dem Signal Z) gesteuert. Beim Eintreffen des ersten dieser beiden Signale wird der Primärtaktzähler 13 gestartet und beim Eintreffen des zweiten dieser beiden Signale gestoppt. Der Zählerstand des Primärtaktzählers 13 wird einem Vergleicher 14 zugeführt.

Der Zählerstand des Primärtaktzählers 13 wird betragsmäßig mit einem Maximalfehler verglichen. Wenn der Zählerstand den

Maximalfehler übersteigt, wird ein Auszeitähler 15 hochgezählt. In diesem Fall wird an den Phasenregler 5 kein Fehler-signal ausgegeben. Der Phasenregler 5 behält sein bisheriges Ausgangssignal bei.

5

In der Regel wird der Primärtaktzähler 13 bei jeder Übermittlung eines Synchronisationssignals S gestartet bzw. gestoppt. Es ist aber auch möglich, der phasenverriegelten Schleife 6 zusätzlich von der Steuereinheit 11 ein Gültigkeitssignal G zu übermitteln. In diesem Fall wird der Primärtaktzähler 13 nur dann gestartet und gestoppt, wenn das Gültigkeitssignal G anliegt. Es ist ferner möglich, den Primärtaktzähler 13 um einen Phasenversatz bezüglich des Synchronisationssignals S versetzt zu starten und auszuwerten.

15

Wenn der Phasenregler die momentanen Phasenfehler zu einem Proportionalwert ausregelt, wobei der Proportionalbruchteil kleiner als eins ist, ergibt sich eine schnellere Ausregelung des Phasenfehlers. Dies gilt insbesondere dann, wenn der Proportionalbruchteil größer als der Integrationsbruchteil ist.

20

Wenn der Phasenregler den Taktgeber nur dann nachregelt, wenn der Absolutwert des momentanen Phasenfehlers einen Maximalfehler nicht übersteigt, bewirken Verzögerungen der Synchronisationssignale durch azyklische Telegramme keine fehlerhafte Nachregelung des Taktgebers.

25

Wenn bei Übersteigen des Maximalfehlers ein Zähler hochgezählt wird, ist insbesondere ein dauerhafter Fehler der Kommunikation zwischen Sendeeinheit und Empfangseinheit erkennbar.

30

Wenn der phasenverriegelten Schleife von einer Steuereinheit ein Gültigkeitssignal übermittelt wird und das Synchronisierungsverfahren nur bei Vorliegen des Gültigkeitssignals ausgeführt

35

wird, ist sicherzustellen, dass die Synchronisation auf die richtigen Synchronisationssignale erfolgt.

5 Wenn innerhalb des Taktgebers ein Taktgenerator Primärtaktsignale erzeugt, die einem Frequenzteiler zugeführt werden, der ausgangsseitig die heruntergeteilten Primärtaktsignale als untergeordnete Taktsignale u ausgibt, ist gewährleistet, dass alle zwischen dem Taktgeber und dem Taktsignalzähler angeordneten Komponenten ebenfalls phasenrichtig synchronisiert
10 sind.

Wenn vor der Ermittlung des ersten momentanen Phasenfehlers der Taktgeber die Sollanzahl von Taktsignalen ausgibt, dann angehalten wird und beim Empfang des nächsten Synchronisationssignals wieder gestartet wird, ergibt sich eine besonders
15 schnelle Synchronisation der Empfangseinheit beim Anlauf.

Wenn beim Empfang des ersten Synchronisationssignals nach dem Wiederstarten des Taktgebers der momentane Phasenfehler zumindest im wesentlichen ausgeregelt wird und das Aufintegrieren der momentanen Phasenfehler und das Ausregeln des Integrationswerts, gegebenenfalls auch das Ausregeln des momentanen Phasenfehlers, erst ab dem Empfang des zweiten Synchronisationssignals ausgeführt wird, wird die Synchronisierung
20 zu Beginn des Verfahrens noch weiter beschleunigt.
25

Bei der Realisierung der Division gemäß der Erfindung ist zunächst zu berücksichtigen, dass in einem Rechenmittel, z.B. einem anwendungsspezifizierten Schaltkreis ASIC, eine Division im Gegensatz zu Multiplikationen, Additionen, Subtraktionen nicht in einem Primärtakt p möglich ist. Im Prinzip muss daher eine Division algorithmisch sukzessive ermittelt werden.
30

35 Eine einfache und damit vorteilhafte Möglichkeit ist es, zu zählen, wie oft der Divisor in den Dividend passt. Dies kann beispielsweise wie folgt geschehen für eine Lösung von $15/4$:

$$0 + 4 = 4 < 15 \quad (1. \text{ Addition})$$

$$4 + 4 = 8 < 15 \quad (2. \text{ Addition})$$

$$8 + 4 = 12 < 15 \quad (3. \text{ Addition})$$

$$5 \quad 12 + 4 = 16 > 15 \quad (4. \text{ Addition, zu groß})$$

-> Ergebnis = 3

Die Darstellung nach FIG 7 zeigt den Aufbau des Frequenzteilers 9 mit einer solchen Divisionsbildung in Form eines
 10 Blockschaltbildes als Ausschnitt von FIG 3. Als Eingangssignale dienen einem Block 16 zur Divisionsbildung, dessen Aufbau später im einzelnen erläutert wird, der Phasenregelwert A des Phasenreglers 5, die Sollanzahl n der untergeordneten Taktsignale u und die Primärtakte p des Taktgenerators 8.
 15 Diesem Block 16 ist der eigentliche Frequenzteiler 9' nachgeschaltet, wobei dessen Ausgangssignal auf die Divisionsbildung 16 rückgekoppelt ist. Dabei dient dem Frequenzteiler 9' ein ermittelter Korrekturwert D, welcher idealerweise dem Quotienten aus Phasenregelwert A und Sollanzahl n entspricht,
 20 neben den Primärtakten p und der Periodendauer a als Eingangssignal.

Gemäß den zu den FIG 4, 5 und 6 gemachten Ausführungen muss dabei erfüllt werden:

$$a * n + A = S \quad (1)$$

In den FIG 8 und 9 ist in Anlehnung an die Darstellungen nach FIG 4 und 5 das zeitliche Verhalten des Frequenzteilers 9' skizziert. In FIG 8 ist der Fall von FIG 4 mit erfindungsge-
 30 mäßem zeitlichen Verhalten für eine äquidistante synchrone Taktgenerierung mit längerem Synchronisationssignal S als von der PLL 6 erwartet dargestellt. Ein vom Phasenregler 5 gelieferter Phasenregelwert A1 ist größer 0. Durch eine gleichmä-
 35 ßige Verteilung von A1 auf die Sollanzahl n von untergeordneten Taktsignalen u wird eine äquidistante Synchronisation erreicht, indem jedes Intervall a jeweils um den Quotienten aus

A1 und n verlängert wird. Als Resultat liegen alle n Taktsignale a^* äquidistant innerhalb der tatsächlichen Periodendauer des Synchronisationssignals S verteilt.

- 5 FIG 9 zeigt den mit FIG 5 korrespondierenden Fall eines Zeitdiagramms mit erfindungsgemäßem zeitlichen Verhalten für eine äquidistante synchrone Taktgenerierung mit kürzerem Synchronisationssignal S als von der PLL 6 erwartet. In diesem Fall ist der vom Phasenregler 5 gelieferte Phasenregelwert A2
- 10 kleiner als Null. Es wird ebenfalls jedes Intervall a jeweils um den Quotienten aus A2 und n „verlängert“, wobei aufgrund des negativen Wertes von A2 tatsächlich die gewünschte Verkürzung resultiert. Als Resultat liegen auch in diesem Fall alle n Taktsignale a^* äquidistant innerhalb der tatsächlichen
- 15 Periodendauer des Synchronisationssignals S verteilt.

- Die Dauer des Zählens hängt von der durchzuführenden Division ab und kann damit prinzipiell in zeitlichen Konflikt mit den gleichzeitig, d.h. zeitlich parallel zu erzeugenden untergeordneten Taktsignalen kommen, wenn die Division nicht rechtzeitig abgeschlossen wird. Im vorliegenden Fall ist dies jedoch ausgeschlossen, da die erfindungsgemäße Division nur dann besonders viele Betriebstakte benötigt, wenn die Korrektur bei den untergeordneten Taktsignalen erst sehr spät erfolgen muss.
- 20
- 25

- Dies soll anhand zweier Beispiele verdeutlicht werden, wobei als Ausgangspunkt angenommen wird, dass ein maximal möglicher Phasenregelwert $A = 100$ beträgt, und berücksichtigt wird,
- 30 dass die minimale Anzahl der untergeordneten Taktsignale $n = 2$ beträgt. Die Division dauert dann maximal 50 Primär-takte p und muss als Voraussetzung kürzer sein als die Periodendauer a des untergeordneten Taktsignals u.

- 35 Beispielfall 1:

Ein aktueller Phasenregelwert A beträgt 100, die Anzahl n der untergeordneten Taktsignale 4. Die untergeordneten Taktsigna-

le u sind jetzt nominell nur halb so lange wie im Ausgangspunkt beschrieben. Die Korrektur muss also entsprechend früher erfolgen. Dafür dauert die Division aber auch nur halb so lange, nämlich 25 Primärtakte p. Gegenüber einer Anzahl
 5 n = 2 müssen mit n = 4 zwar mehr Intervalle a in der gleichen Zeit generiert werden und es steht weniger Zeit bzw. stehen weniger Primärtakte p für die Division zur Verfügung, jedoch werden mit n = 4 größere Zahlen sukzessive aufaddiert, wodurch die Division durch sukzessive Addition entsprechend
 10 schneller erfolgen kann. Aus diesem Grund ist die vorgeschlagene Art der Division nach der Erfindung besonders vorteilhaft für eine Realisierung in Echtzeit.

Der geschilderte Beispielfall ist in der FIG 10 veranschaulicht, wo das zeitliche Verhalten bei Realisierung der Division durch sukzessive Addition gezeigt ist. Innerhalb jedes ursprünglichen Intervalls a erfolgt die Division durch sukzessive Addition in der Zeit t_D , wobei stets $t_D < a$ gewährleistet ist. Es verbleibt stets eine Zeitreserve t_x bis zu
 20 dem Zeitpunkt, an dem der ermittelte Korrekturwert $D = A/n = 25$ verarbeitet werden muss.

Auch führt ein geringerer Korrekturwert $A < 100$ zu einer kürzeren Divisionsdauer als die im vorangehenden zur Verfügung stehenden 25 Primärtakte. Dieser Fall ist also mit dem 1. Beispielfall bereits abgedeckt.
 25

Auch wenn $A < 0$, d.h. im ungünstigsten Fall -100 beträgt, muss $a + A/n = a - 25$ zeitlich länger sein als t_D , damit
 30 $t_x > 0$ zur Verfügung steht.

Beispielfall 2:

Ein aktueller Phasenregelwert A beträgt 100, die Anzahl n der untergeordneten Taktsignale 25. Die untergeordneten Taktsignale u sind jetzt häufiger bzw. hochfrequenter, die Korrektur
 35 muss also entsprechend früher erfolgen. Eine höhere Anzahl n von untergeordneten Taktsignalen u führt somit genauso wie

ein geringerer Korrekturwert A zu einer kürzeren Divisionsdauer als die im vorangehenden zur Verfügung stehenden 25 Betriebstakte. Jedoch wird dadurch auch die für die Division zur Verfügung stehende Zeit bzw. Anzahl von Primärtakten p reduziert. Indem die Divisionsdauer nunmehr aber nur noch 4 Betriebstakte beansprucht, ist auch in diesem Fall gewährleistet, dass keine Kollisionen bei der Berechnung in Echtzeit auftreten können. Dies ist in der FIG 11 ebenfalls graphisch veranschaulicht. Der Aufbau der in FIG 11 gezeigten Elemente und Bezüge entspricht denen in FIG 10.

Zusammenfassend kann also festgestellt werden, dass die Divisionsdauer t_D proportional zu der zur Verfügung stehenden Zeit $a + D$ ist, es also somit keine zeitlichen Konflikte zwischen der Divisionsermittlung und der Erzeugung der untergeordneten Taktsignale u geben kann, sobald der oben beschriebene Ausgangspunkt erfüllt ist (d.h. t_x ist in allen Situationen > 0).

Nach der vorliegenden Erfindung kommt auch der Behandlung möglicher Divisionsreste große Bedeutung zu. Um die untergeordneten Taktsignale u synchron zum Synchronisationssignal S zu erzeugen, sollen eventuelle Divisionsreste mitberücksichtigt werden. Dazu werden solche Divisionsreste ebenfalls gleichmäßig auf die untergeordneten Takte u verteilt, um ein möglichst gleichmäßiges Taktmuster der untergeordneten Takte u zu erhalten. Dies ist nötig, da es nur ganzzahlige Primärtakte p gibt.

Diese Problematik taucht in den anhand der FIG 10 und 11 gezeigten Fälle nicht auf, da diese auf ganzzahligen Werten beruhen. Bei einem Phasenregelwert $A = 99$, $n = 4$ wird A/n jedoch zu $99/4 = 24,75$. Die Behandlung der Divisionsreste erfolgt dann so, dass dreimal 24 und einmal 25 auf die $n = 4$ Takte korrigiert wird.

Bei $A = 98$, $n = 4$ ergibt sich entsprechend eine Korrektur von zweimal 24 und zweimal 25, wobei folgende Vorgehensweise gewählt wird, um ein möglichst gleichmäßiges Taktmuster zu erhalten:

5

n=1: Korrektur 25
 n=2: Korrektur 24
 n=3: Korrektur 25
 n=4: Korrektur 24

10

oder

n=1: Korrektur 24
 n=2: Korrektur 25
 n=3: Korrektur 24
 n=4: Korrektur 25

15

aber nicht

n=1: Korrektur 25
 n=2: Korrektur 25
 n=3: Korrektur 24
 n=4: Korrektur 24

20

etc.

Dies kann erfindungsgemäß wie folgt realisiert werden:

25

Die Division wird bis zur ersten Nachkommastelle durchgeführt und dann gerundet (das bedeutet für das vorangehende Beispiel $15/4 = 4$ und nicht 3). Dazu wird die eigentliche Division durch sukzessive Addition vor der Divisionsdurchführung um 1 Bit verschoben (multipliziert mit 2) durchgeführt und zuletzt entschieden, ob auf- oder abgerundet wird, indem man addiert ohne um 1 Bit zu verschieben. Die komplette Lösung von $15/4$ stellt sich dann wie folgt dar:

30

$15/4$, um 1 Bit verschieben \rightarrow Lösung von $30/8$

35

$0 + 8 = 8 < 30$ (1. Addition)
 $8 + 8 = 16 < 30$ (2. Addition)
 $16 + 8 = 24 < 30$ (3. Addition)

19

$$24 + 8 = 32 > 30 \quad (4. \text{ Addition, zu groß})$$

-> zunächst beträgt das Ergebnis $d = 3$;

Runden, indem versucht wird, bei der letzten noch gültigen 3. Addition jetzt nicht 8 sondern 4 zu addieren:

5

$$24 + 4 = 28 < 30, \text{ d.h. aufrunden}$$

-> Ergebnis $D = 4$

Dabei stellt D die gerundete Division von d dar.

10

Eine mögliche technische Realisierung einer solchen Division, z.B. in Form eines ASIC, ist in FIG 12 als Blockschaltbild dargestellt, wobei der in FIG 7 mit 16 bezeichnete Divisionsblock im Detail erläutert wird.

15

Eingangsseitig werden neben den Primärtaktsignalen p der Phasenregelwert A des Phasenreglers 5, die Anzahl n der untergeordneten Taktsignale u sowie der Ausgang des Frequenzteilers 9' bereitgestellt. Ein Entscheidungsblock 17 hält jeweils den aktuellen Phasenregelwert A' sowie die aktuelle Anzahl n' fest, indem immer dann, wenn ein neuer Wert A vorliegt $A' = A$ und $n' = n$ gesetzt werden. Beide Signale A' und n' werden jeweils in Blöcken 20 und 21 durch Multiplikationen mit dem Faktor 2 (Schiebeoperation um 1 Bit) weiterverarbeitet und als Signale $2A'$ und $2n'$ der eigentlichen Divisionseinheit 18 zugeführt. Dort erfolgt die sukzessive Addition von $2n'$ solange die Summe $\Sigma < 2A'$ beträgt.

20

25

Dies kann d mal durchgeführt werden, wobei das ganzzahlige Divisionsergebnis d und die Summe $\Sigma = 2 \cdot n' \cdot d$ ermittelt werden und einer weiteren Einheit 19 zur Durchführung der Rundung zugeleitet werden.

30

Die Rundung erfolgt nach folgender Vorgehensweise:

35

zunächst

Addition: $\Sigma + n' = 2 \cdot n' \cdot d + n' \quad (2)$

dann

$$\text{Rundung:} \quad \leq 2 * A' \quad \rightarrow \quad D = d + 1 \quad (3)$$

$$> 2 * A' \quad \rightarrow \quad D = d \quad (4)$$

5

Ausgangsseitig wird auf diese Weise das gerundete Divisions-
ergebnis D als Korrekturwert bereitgestellt, wobei $D \cong A/n$
gewährleistet ist.

- 10 Wenn A' den aktuellen Phasenregelwert und n' die aktuelle
noch zu erzeugende Anzahl von untergeordneten Taktsignalen u
darstellen, so wird vorzugsweise nach jedem erzeugten unter-
geordneten Takt durch den Frequenzteiler 9' für den nächsten
zu erzeugenden untergeordneten Takt die Division mit dem
15 neuen noch gültigen Phasenregelwert $A'' = A' - D$ der PLL 6
und der noch verbleibenden Anzahl $n'' = n' - 1$ von unterge-
ordneten Takten durchgeführt. Zu Beginn ist $A' = A$ und
 $n' = n$.

- 20 Zur Bestimmung von A'' wird also der Korrekturwert D an eine
Subtrahiereinheit 23 geführt, wo $A'' = A' - D$ ermittelt und
an den Entscheiderblock 17 zurückgeführt wird. Ebenso wird
also in einem weiteren Subtrahierblock 22 der aktuelle Wert
n' um den Wert eins vermindert zu $n'' = n' - 1$. Die neue An-
25 zahl n'' von untergeordneten Takten u wird ebenfalls auf den
Entscheidungsblock 17 zurückgeführt. Dort wird mit jedem fer-
tig erzeugten untergeordneten Takt u der aktuelle Phasenkor-
rekturwert $A' = A''$ und die aktuelle Anzahl $n' = n''$ gesetzt,
worauf die nächste Division wie vorangehend beschrieben er-
30 folgt usw.

- Dies erfolgt solange, bis $n'' = 0$ ist oder ein neuer Phasen-
regelwert A vorliegt. Dann setzt der Entscheiderblock 17 die
Werte $A' = A$ und $n' = n$ und die Korrektur beginnt erneut für
35 die nächsten n untergeordneten Takte u.

Für obiges Beispiel ergibt sich dann folgende Vorgehensweise, wenn der von der PLL ermittelte Phasenregelwert $A = A' = 100$ und die Anzahl der untergeordneten Taktsignale $n = n' = 4$ beträgt, woraus ein Divisionsergebnis $D = 25$ resultiert:

5

- der erste untergeordnete Takt u wird um 25 korrigiert.
- für den nächsten untergeordneten Takt u gilt nun, dass ein übrigbleibender Phasenregelwert $A'' = A' - D = 100 - 25 = 75$ beträgt und die Anzahl der noch vorhandenen untergeordneten Taktsignale $n'' = n' - 1 = 3$.
- die nächste durchzuführende Division beträgt somit $A''/n'' = 75 / 3 = 25$ usw.

10

Mit der Lösung nach der vorliegenden Erfindung lassen sich unter anderem folgende Vorteile erreichen:

15

- die realisierte Lösung erzeugt praktisch ideal äquidistante untergeordnete Takte Z , welche sich auf Grund des Rundungseffekts in der Periodendauer nur um maximal einen Betriebstakt unterscheiden (z.B. 10ns bei 100MHz Betriebstakt), was in digitalen Systemen nie zu vermeiden ist (Quantisierungseffekt).
- die Genauigkeit der Division wird gesteigert durch Nutzung des ersten Nachkommabits zum korrekten Auf- bzw. Abrunden. Die Rundungseffekte (Quantisierungseffekte) werden damit nahezu gleichmäßig auf die zu erzeugenden untergeordneten Takte Z bzw. a verteilt.
- die Realisierung der Division kann erhebliche Betriebstakte in Anspruch nehmen. Im vorliegenden Fall wird jedoch durch eine sukzessive Addition das Ergebnis der Division um so später benötigt, je länger die sukzessive Addition dauert, so dass der zunächst erwartete zeitliche Konflikt zwischen Ausführungsdauer der Division und den in Echtzeit erzeugten untergeordneten Takten ausbleibt.

20

25

30

Patentansprüche

1. Synchronisierverfahren für eine Empfangseinheit (2),

- wobei der Empfangseinheit (2) von einer Sendeeinheit (1)

5 zyklisch ausgesandte Synchronisationssignale (S) übermittelt werden,

- wobei die Empfangseinheit (2) die Synchronisationssignale (S) einem Taktgeber (7) über einen Phasenregler (5) einer phasenverriegelten Schleife (6) zuführt,

10 - wobei der Taktgeber (7) zwischen zwei Synchronisationssignalen (S) eine Anzahl von untergeordneten Taktsignalen (u) ausgibt,

- wobei der Phasenregler (5) beim Empfang der Synchronisationssignale (S) momentane Phasenfehler (z) ermittelt und
15 den Taktgeber (7) anhand eines Phasenregelwertes (A) derart nachregelt, dass der Taktgeber (7) zwischen zwei Synchronisationssignalen (S) eine Sollanzahl (n) von untergeordneten Taktsignalen (u) synchron ausgibt,

d a d u r c h g e k e n n z e i c h n e t, dass

20 der Phasenregler (5) den Taktgeber (7) so nachregelt, dass die vom Taktgeber (7) zwischen zwei Synchronisationssignalen (S) erzeugten untergeordneten Taktsignale (u) im wesentlichen äquidistant zueinander sind, indem

- der ermittelte momentane Phasenregelwert (A) nahezu
25 gleichmäßig auf die untergeordneten Taktsignale (u) verteilt wird, wobei

- ein jeweiliger Korrekturwert (D) für jedes untergeordnete Taktsignal (u) durch Division des momentanen Phasenregelwertes (A) durch die Sollanzahl (n) von untergeordneten
30 Taktsignalen (u) ermittelt wird.

2. Synchronisierverfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, dass

die Division durch eine sukzessive Addition erfolgt, wobei

35 gezählt wird, wie oft die Sollanzahl (n) von untergeordneten Taktsignalen (u) als Divisor in den momentanen Phasenregelwert (A) als Dividend passt.

3. Synchronisierverfahren nach Anspruch 1 oder 2,
dadurch gekennzeichnet, dass
eventuelle Divisionsreste ebenfalls nahezu gleichmäßig auf
die untergeordneten Taktsignale (u) verteilt werden.

5

4. Synchronisierverfahren nach Anspruch 3,
dadurch gekennzeichnet, dass
die Division bis zur ersten Nachkommastelle durchgeführt wird
und das Ergebnis auf einen ganzzahligen Korrekturwert (D) ge-
rundet wird.

10

5. Synchronisierverfahren nach Anspruch 4,
dadurch gekennzeichnet, dass
- die Division durch sukzessive Addition um ein Bit verscho-
ben durchgeführt wird, indem eine Multiplikation mit dem
Wert Zwei erfolgt, und
- anhand des Ergebnisses entschieden wird, ob aufgerundet
oder abgerundet wird, indem
- die letzte den Dividend eventuell überschreitende Addition
ohne Verschiebung um ein Bit wiederholt wird und
- bei Überschreitung des Dividenden der ermittelte Wert (d)
abgerundet wird oder andernfalls aufgerundet wird.

15

20

6. Synchronisierverfahren nach einem der vorangehenden An-
sprüche 2 bis 5,
dadurch gekennzeichnet, dass
zwischen zwei Synchronisationssignalen (S) nach jedem erzeug-
ten untergeordneten Takt (u) für den nächsten zu erzeugenden
untergeordneten Takt (u) die Division mit dem um den vorheri-
gen Korrekturwert (D) verminderten Phasenkorrekturwert (A')
als Dividend und die um den Wert eins verminderte Anzahl
(n'-1) von untergeordneten Takten (u) als Divisor
durchgeführt wird.

25

30

7. Synchronisierverfahren nach einem der vorangehenden An-
sprüche,

35

d a d u r c h g e k e n n z e i c h n e t, dass
der Phasenregler (5) die momentanen Phasenfehler (z) zu einem
Integrationswert (I) aufintegriert, wobei ein Integrations-
bruchteil (k_i) kleiner als eins ist, und der Integrationswert
5 (I) zur Erzeugung von Phasenregelwerten (A) als Dividend
dient.

8. Synchronisierverfahren nach einem der vorangehenden An-
sprüche,

10 d a d u r c h g e k e n n z e i c h n e t, dass
der Phasenregler (5) die momentanen Phasenfehler (z) zu einem
Proportionalwert ausregelt, wobei ein Proportionalbruchteil
(k_p) kleiner als eins ist, und der Proportionalwert zur Er-
zeugung von Phasenregelwerten (A) als Dividend dient.

15

9. Synchronisierverfahren nach Anspruch 7 und 8,
d a d u r c h g e k e n n z e i c h n e t, dass
der Proportionalbruchteil (k_p) größer als der Integrations-
bruchteil (k_i) ist.

20

10. Synchronisierverfahren nach einem der vorangehenden An-
sprüche,

d a d u r c h g e k e n n z e i c h n e t, dass
innerhalb des Taktgebers (7) ein Taktgenerator (8) Primär-
taktsignale (p) erzeugt, die einem Frequenzteiler (9) zuge-
führt werden, der ausgangsseitig heruntergeteilte Primärtakt-
25 signale als untergeordnete Taktsignale (u) ausgibt.

11. Synchronisierverfahren nach einem der vorangehenden An-
30 sprüche,

d a d u r c h g e k e n n z e i c h n e t, dass
die Erzeugung von untergeordneten Taktsignalen (u) und die
nahezu gleichmäßige Verteilung eines momentanen Phasenregel-
wertes (A) auf die untergeordneten Taktsignale (u) in Echt-
35 zeit erfolgen.

12. Empfangseinheit (2) zur Durchführung eines Synchronisierverfahrens nach einem der vorangehenden Ansprüche.

13. Kommunikationssystem mit mindestens einer Sendeeinheit

- 5 (1) und einer Mehrzahl von Empfangseinheiten (2) zur Durchführung eines Synchronisierverfahrens nach einem der vorangehenden Ansprüche 1 bis 11.

Zusammenfassung

Einrichtung und Verfahren zur digitalen Erzeugung von äquidistanten synchronen frequenzvervielfachten Takten

.5

Zur Vermeidung von pulsierenden Taktmustern bei synchronen untergeordneten Taktsignalen (u) einer Empfangseinheit (2) auf ein globales Synchronisationssignal (S) wird nach der Erfindung eine exakte Gleichverteilung der von einer PLL (6) ermittelten Korrektur auf die untergeordneten Taktsignale (u) vorgenommen, indem ein Phasenregelwert (A) durch die Anzahl (n) der untergeordneten Taktsignale dividiert (18) wird. Durch Division mittels einer sukzessiven Addition wird der Realisierungsaufwand in Hardware (ASIC) in Grenzen gehalten und dabei werden trotz der notwendigen zeitlichen Dauer einer solchen Division Zeitkonflikte mit in Echtzeit erzeugten untergeordneten Taktsignalen (u) erfolgreich vermieden. Indem auch ein Divisionsrest gleichmäßig verteilt wird, lässt sich die Synchronität weiter steigern. Die Erfindung schlägt eine besonders effektive Realisierung dieser Division mit anschließender Rundung (19) für einen Echtzeiteinsatz vor.

10

15

20

FIG 12

FIG 1

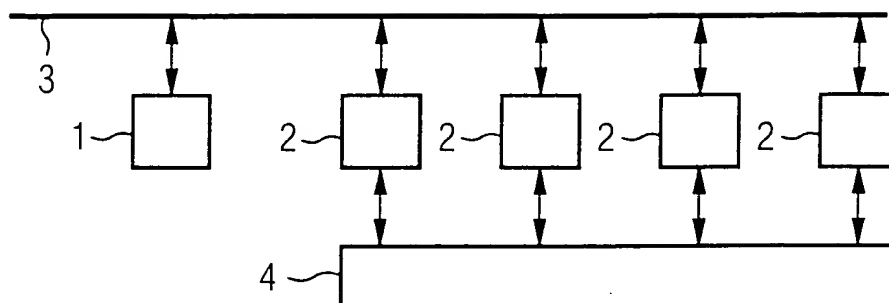


FIG 2

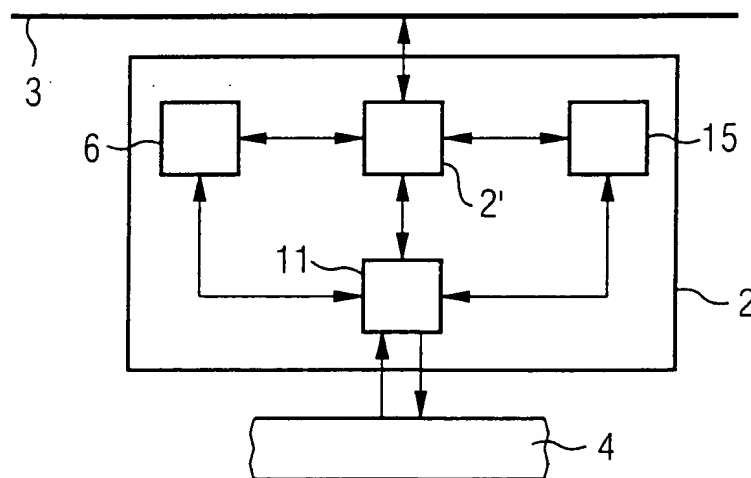


FIG 3

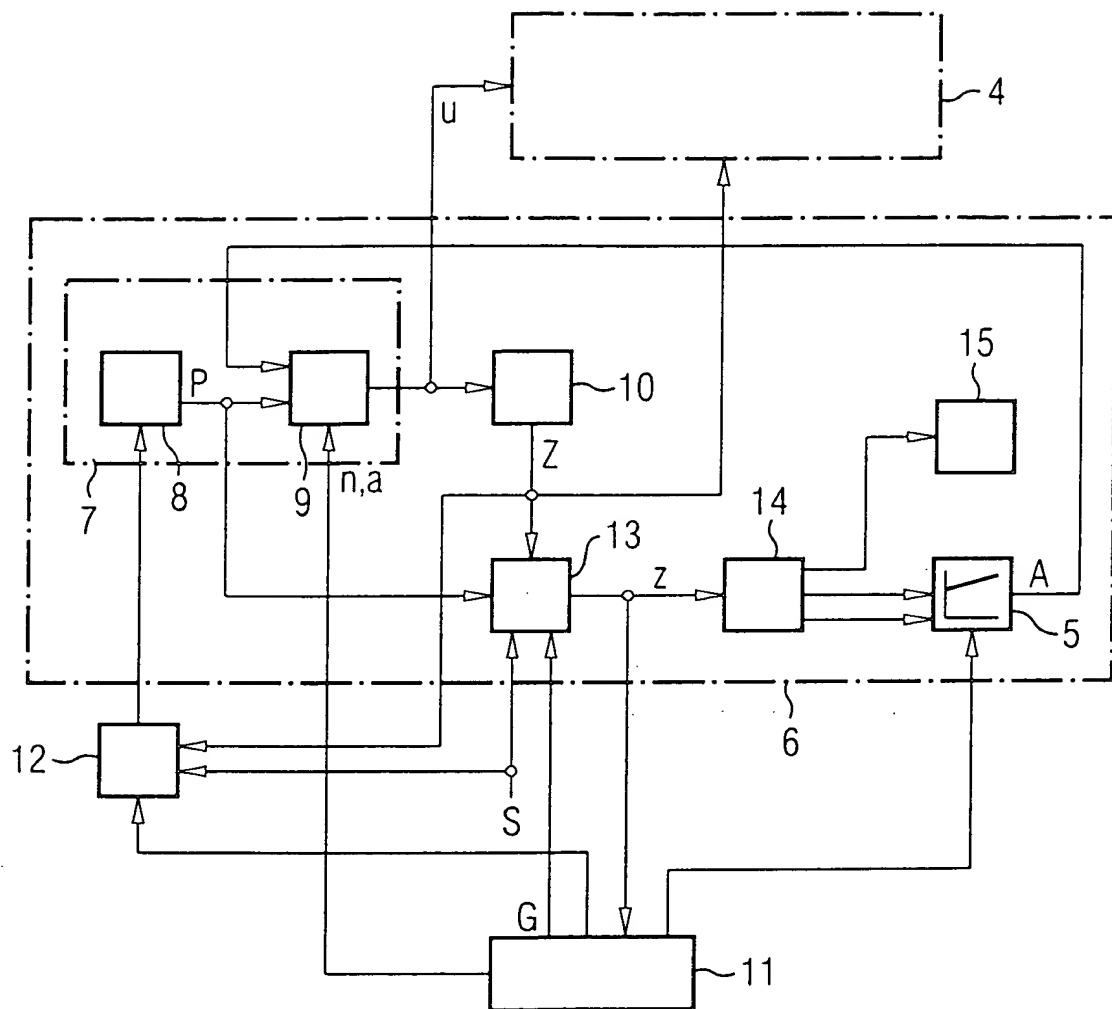


FIG 4

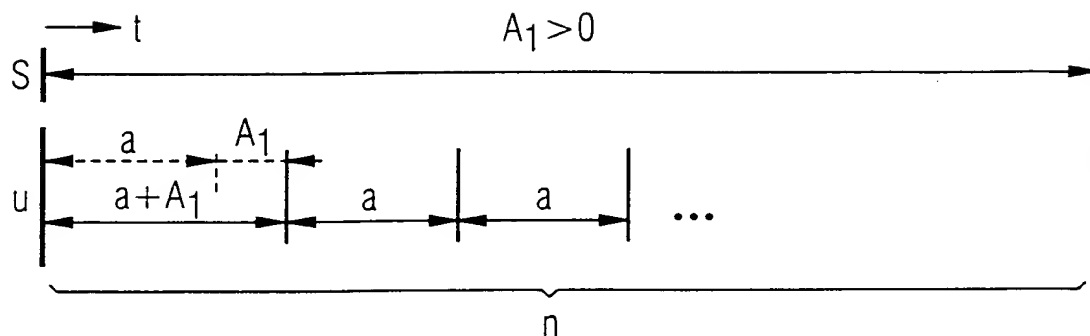


FIG 5

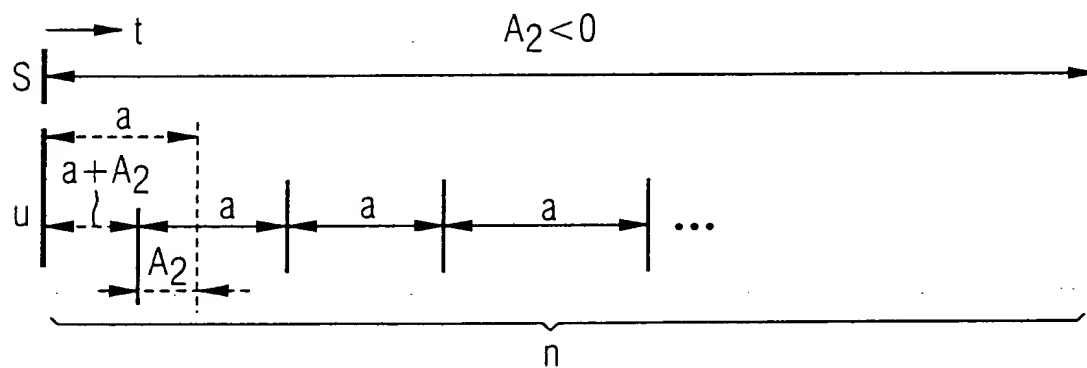
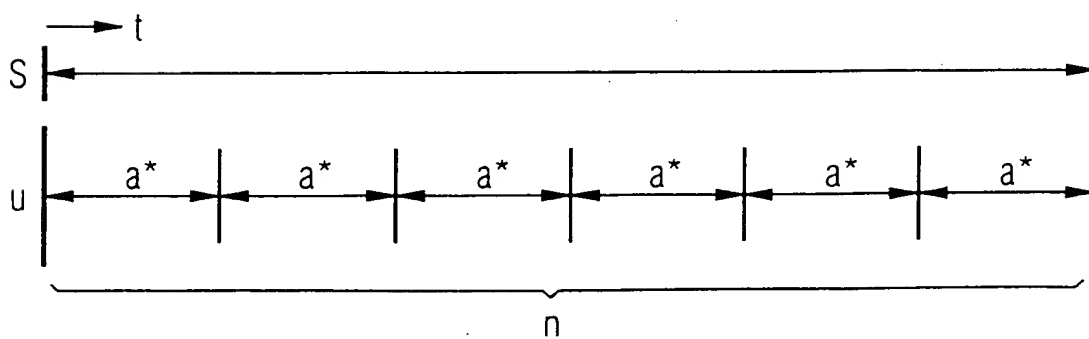


FIG 6



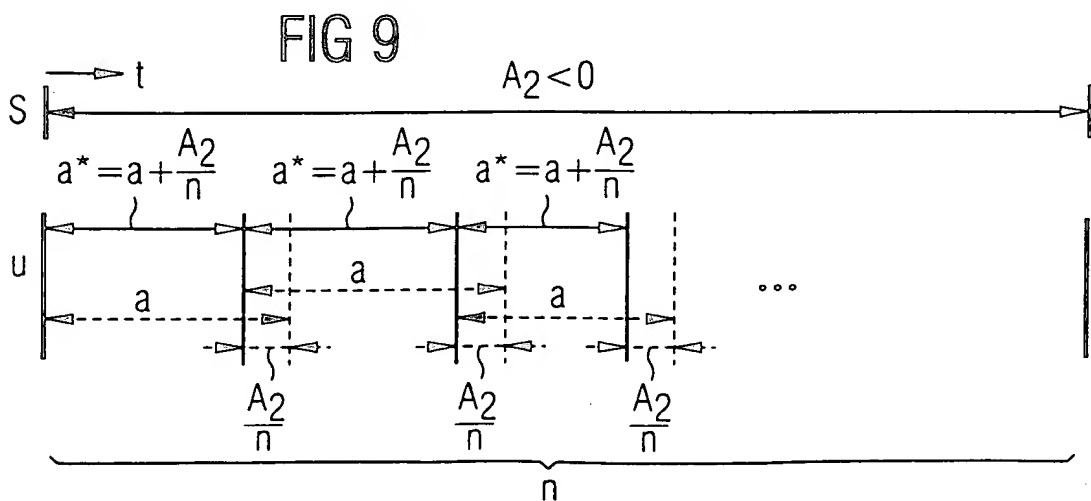
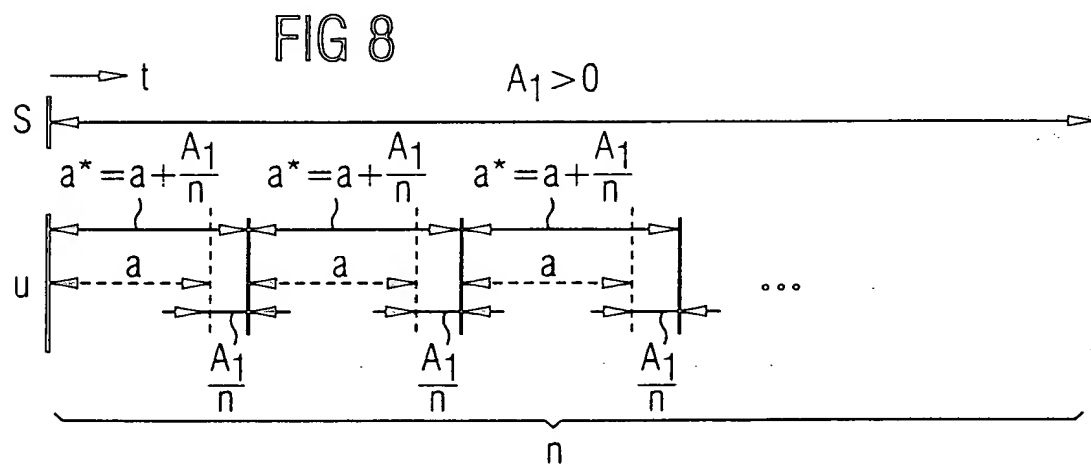
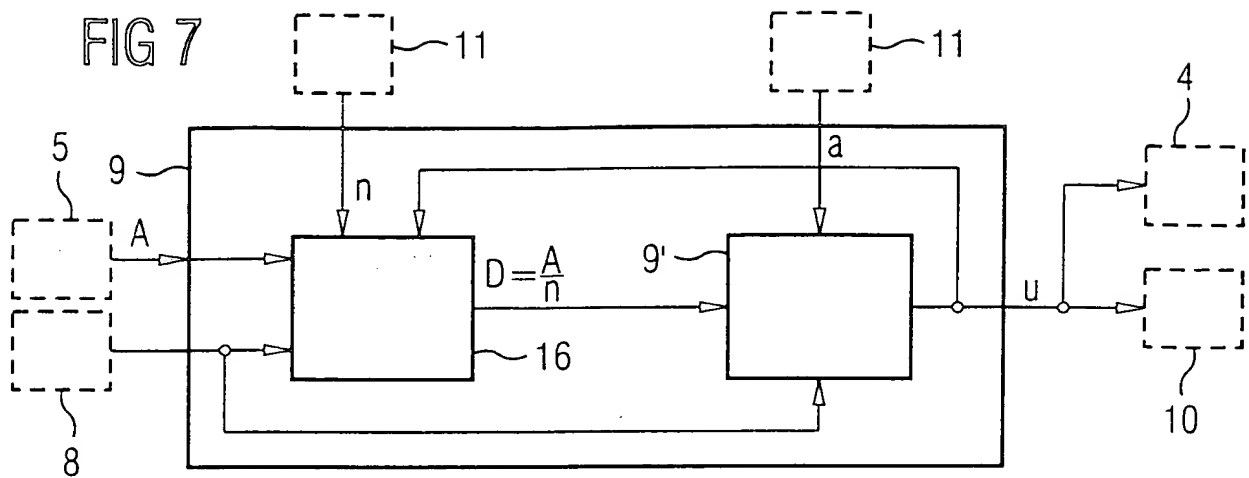


FIG 10

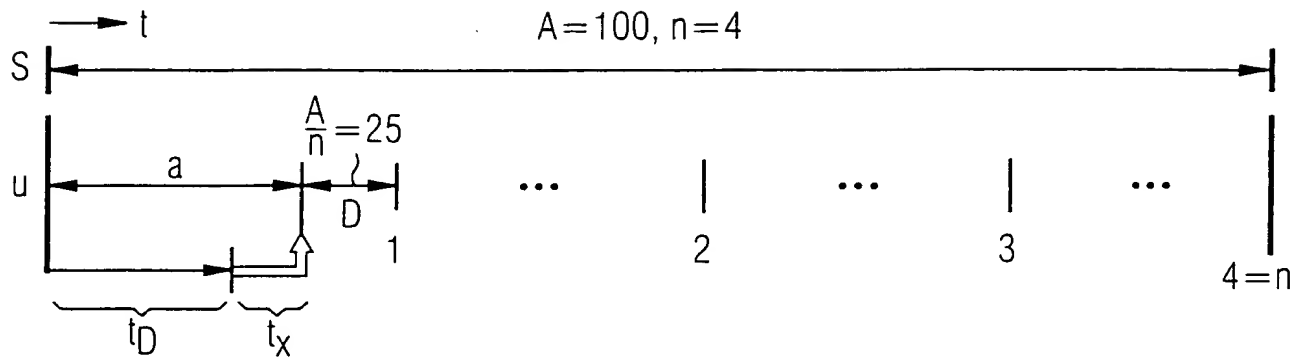


FIG 11

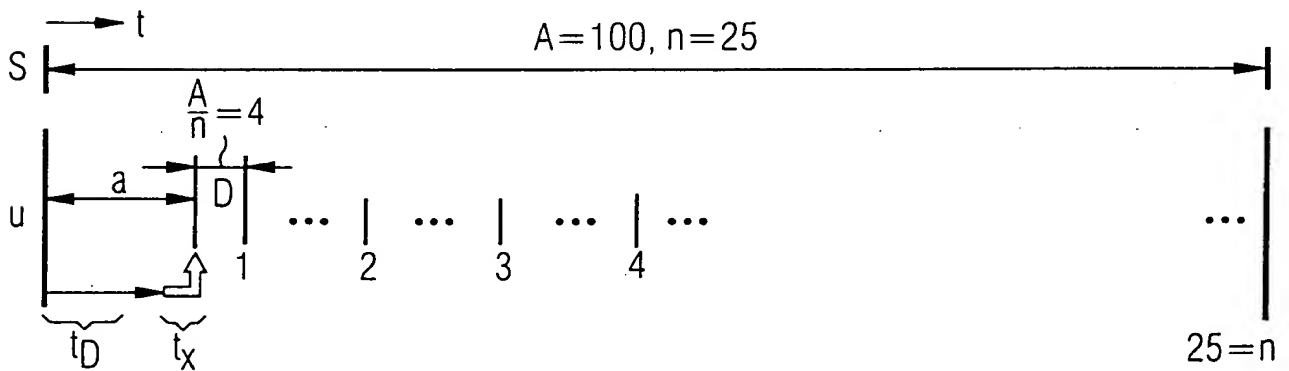


FIG 12

